(19) Japanese Patent Office

(12) Publication of Patent (A)

(11) Patent No.: H02-267967

(43) Disclosure Bulletin Date: November 1, 1990

(51) Int. Cl.	H 01 L	29/06	Identification Symbol	JPO Processing Number:
		21/31	Z	8526-5F
				6810-5F

G06F 13/00 Number of Claims: 1 (3 Pages Total)

(54) NAME OF INVENTION: Semiconductor Element Manufacturing Method

(21) Application Number: H01-89044

(22) Filing Date: April 7, 1989

(72) Inventor: Kuzuyasu Yoneyama

Fuji Electric Co., Ltd.

1-1 Tanabe Shinden, Kawasaki District, Kawasaki City, Kanagawa

(71) Applicant: Fuji Electric Co., Ltd.

1-1 Tanabe Shinden, Kawasaki District, Kawasaki City, Kanagawa

(74) Representing Attorney: Iwao Yamaguchi

DESCRIPTION

1. Name of Invention: Semiconductor Element Manufacturing Method

2. CLAIMS

Claim 1:

Regarding a manufacturing method for a semiconductor element that includes adhering a mask material to a single surface of a semiconductor substrate possessing at least one pn junction, exposing the pn junction on a mesa groove inner surface formed by etching a section not covered by the mask material, after removal of the mask material covering with a passivation material the pn junction exposed, and adhering a metal electrode film at least on said single surface of the

semiconductor substrate,

a manufacturing method for a semiconductor element wherein after removal of a region that is a little wider than that including the mesa groove formation region of the oxide film existing on said surface of the semiconductor substrate before adhering the mask material, roughening is performed by sandblasting the exposed semiconductor substrate surface.

3. DETAILED DESCTRIPTION OF THE INVENTION

INDUSTRIAL FIELD OF APPLICATION

This invention is related to semiconductor element manufacturing methods that adhere mask material to a semiconductor substrate surface having at least one pn junction, expose the pn junction in the inner side of a mesa groove formed by etching a section not covered by the mask material, coat with a passivation material such as polyimide or junction covering resin (JCR), and further adhere a metal electrode film to the substrate surface.

PRIOR ART

At manufacture of semiconductor elements, a well known method for manufacturing elements having high reliability is to etch a mesa channel to enable exposing of a pn junction on the inner surface for a surface of a semiconductor substrate, to cover the exposed pn junction surface with a passivation material, and further adhere the substrate surface with a metal electrode film. With this type of manufacturing method, for example, a SiO2 film covering a silicon substrate surface that has been formed with a pn junction is coated with a substance such as photoresist or polyimide as a mask material, wet etching is performed after formation of the discretionary pattern mask, and coating of a passivation material is performed on the exposed pn junction with a material such as glass, polyimide, or junction covering resin. In addition, as a alternate method, full surface sand blasting is performed prior to wet etching, and after a roughened condition has been attained by removal of the SiO2 film of the silicon substrate surface, a material such as photoresist or polyimide is used as a mask material, wet etching is performed to execute patterning, and after etching is complete, the mask material is removed or left in its state, and coating of the exposed pn junction is performed using a substance such as glass, polyimide, or

junction covering resin.

PROBLEM TO BE SOLVED BY THIS INVENTION

With former manufacturing methods, when sand blasting is not performed at all before wet etching, adhesion between the mask material and semiconductor substrate is weakened, and in worst cases, deficiencies such as peeling of mask material can be generated prior to wet etching of the mesa groove, and, at coating of the exposed pn junction, the adhesion of the passivation material can be adversely impacted. On the other hand, with surfaces that have been sand blasted before wet etching, the adhesion of mask material is good but the adhesion of vapor deposited film is poor, so that at electrode installation, it becomes impossible to form a stable electrode film through evaporation, and electroless plating must be utilized to attach a metal coating on the semiconductor substrate. However, in this case, there is a problem in that the plating liquid exerts an adverse influence on the passivation material of glass, polyimide, JCR, etc., and causes instability in properties.

The purpose of this invention is to solve the problems described above by offering a manufacturing method for semiconductor elements having good adhesion between the mask and substrate at wet etching for mesa groove formation, good adhesion between the passivation material and the pn junction exposed section, and good adhesion between the metal electrode and the substrate surface.

MEANS OF SOLVING THE PROBLEM

To attain the above described purpose, for semiconductor element manufacturing methods that include adhering a mask material on a single surface of a semiconductor substrate having at least one pn junction, exposing the pn junction on the inner surface of a mesa channel formed by etching the section not covered by mask material, covering the exposed pn junction with a passivation material after removal of the mask material, and adhering a metal electrode film on said single surface of the semiconductor surface, this invention, after removal of a region that is a little wider than that which includes the mesa groove formation region of the oxide layer that exists on said single surface of the semiconductor substrate before adhering of the mask material,

roughens by sand blasting the semiconductor substrate surface that has been exposed.

OPERATION

The method sandblasts a region a little wider than the region of the mesa groove formation region on the semiconductor substrate surface, removes the oxide layer present in that region, and the adhered mask material for which the mesa groove formation region has been removed by surface roughening has an edge that is adhered on the roughened surface, thereby improving the adhesion of the mask to the substrate surface. And at the time of covering the exposed pn junction with passivation material after mesa groove formation by etching, the edge of the passivation material film is adhered to the roughened surface of the substrate, thereby also improving adhesion between the passivation material and the substrate. Moreover, the substrate surface aside from the vicinity of the mesa groove is not surface roughened, thereby enabling formation of a stable electrode film by vapor deposition.

EMBODIMENT

Embodiment 1 of this invention is described using drawings in Figure 1 through Figure 4. Figure 1 (a), (b), and (c) show the surface roughening process for the silicon substrate, with (a) being a surface view drawing, (b) a cross section, and (c) an enlargement of section A. Removed by selective etching is section 3 of SiO2 film 2 which covers the surface of the silicon substrate which has formed a pn junction parallel to the surface. This removed section 3 is a region having a width double or more the width of the mesa groove which acts as the center of the region for forming the mesa groove with a later process. Then this section 3 removed from SiO2 film 2 is roughened by sand blasting. Figure 2 (a), (b), and (c) show the mesa groove etching process, with (a) being a surface view drawing, (b) a cross section, and (c) an enlargement of section A. At this process, the area other than the formation region for mesa groove 4 is covered by resist film 5 as a mask material, and then wet etching is performed. Because resist film 5 has an edge adhered onto region 3 sand blasted on silicon substrate 1 surface, there is adhesion to the substrate at this region, and there is no peeling from the substrate. The result of wet etching is the formation of mesa groove 4, and the pn junction is exposed on the inner side. In Figure 3, the method performs coating with junction covering resin 6 as a passivation material on this pn

junction exposed surface. At this time, because the edge of junction covering resin 6 also has been adhered to sand blasted region 3, there is no peeling from the inner side of mesa groove 4. Figure 4 shows the process for electrode installation. In Figure 4 (a), if needed, junction covering resin 6 is used as a mask and the SiO2 film 2 of the surface is removed by etching, and following that, at Figure 4 (b), metal electrode 7 is vapor deposited on the exposed surface of silicon substrate 1. The substrate surface is adhered smoothly by a vapor deposition film, and stable electrode 7 is obtained.

EFFECT OF THE INVENTION

With this invention, by roughening the surface with sand blasting of a semiconductor substrate surface region contacting the mesa groove formation region, the mask material adhered to other than the mesa groove formed region and the passivation material covering the inner surface of the mesa groove adhere at their edges to the roughened region, and do not peel, and because stable electrode installation can be performed in the region not roughened, the method enables manufacturing of a highly reliable semiconductor element.

4. BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 (a), (b), and (c) show the roughening process, with (a) a being a surface view, (b) a cross section, and (c) an enlargement of section A. Figure 2 (a), (b), and (c) show the mesa groove formation process, with (a) being a surface view drawing, (b) a cross section, and (c) an enlargement of section A. Figure 3 is a cross section showing the passivation process for one embodiment of the invention. Figure 4 (a) and (b) are cross section drawings showing in order the process of installing an electrode for one embodiment of the invention.

1: Silicon Substrate. 2: SiO2 Film. 3: Sand Blasted Region. 4: Mesa Groove. 5: Resist Film. 6: Junction Covering Resin. 7: Metal Electrode Film.

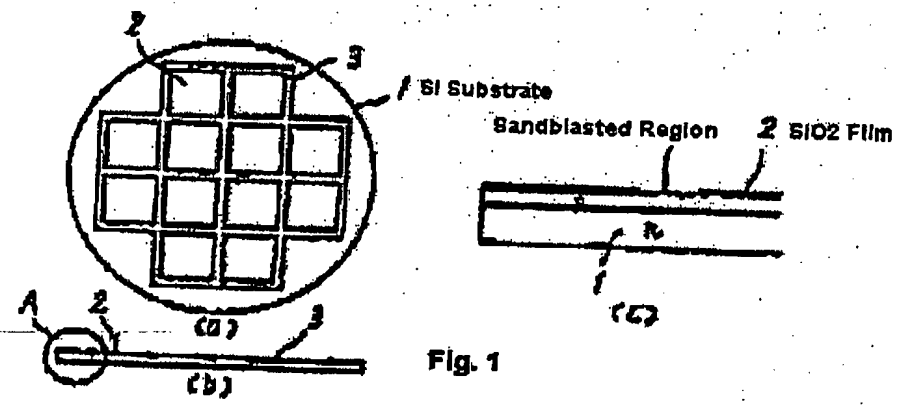


Fig. 1

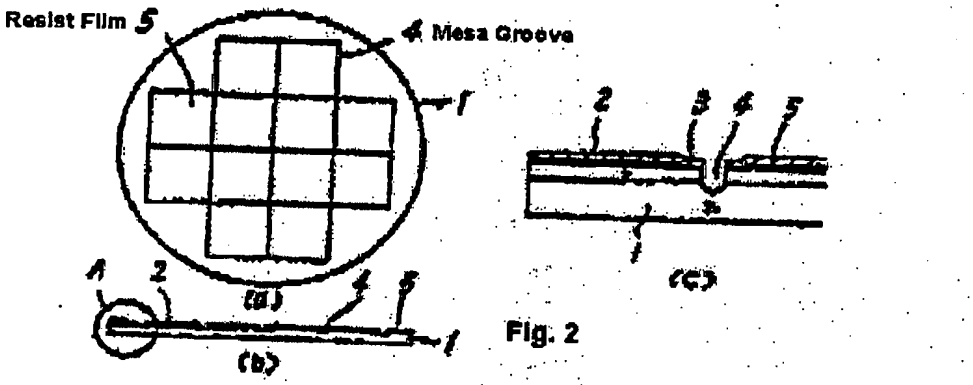


Fig. 2

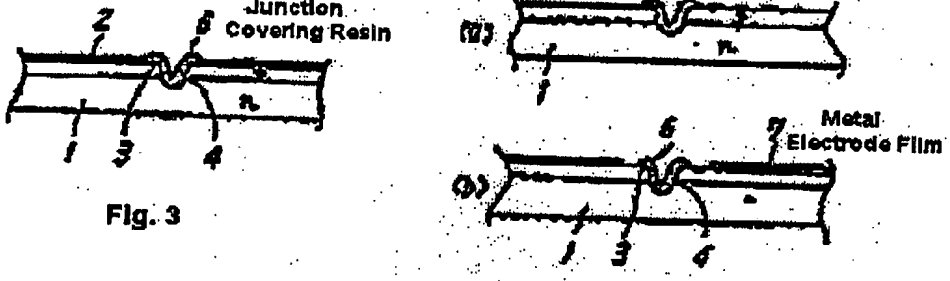


Fig. 3

Fig. 4

TRANSLATOR CERTIFICATION

450 7th Ave | 6th Floor | New York, NY 10123 | Tel 212.643.8800 | Fax 212.643.0005 | www.mside.com

Morningside | Translations

I, Todd Adkisson, a translator fluent in the Japanese language, on behalf of Morningside Evaluations and Consulting, do solemnly and sincerely declare that the following is, to the best of my knowledge and belief, a true and correct translation of the document(s) listed below in a form that best reflects the intention and meaning of the original text.

MORNINGSIDE EVALUATIONS AND CONSULTING

T. Adkisson/ym
Signature of Translator

Date: December 29, 2005

Description of Documents Translated: Ref. No. 270597US

⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　平2−267967

⑤Int. Cl.⁵	識別記号	庁内整理番号
H 01 L 29/06		8526−5F
21/31	Z	6810−5F

⑬公開　平成2年(1990)11月1日

審査請求　未請求　請求項の数 1　（全3頁）

⑭発明の名称　半導体素子の製造方法

⑳特　願　平1−89044

㉒出　願　平1(1989)4月7日

㉑発明者　米山　和穂　神奈川県川崎市川崎区田辺新田1番1号　富士電機株式会社内

㉑出願人　富士電機株式会社　神奈川県川崎市川崎区田辺新田1番1号

㉔代理人　弁理士　山口　巖

明細書

1. 発明の名称　半導体素子の製造方法

2. 特許請求の範囲

1) 少なくとも一つのpn接合を有する半導体基板の一面にマスク剤を被着し、マスク剤で覆われない部分をエッチングすることによりメサ溝を形成してメサ溝内面にpn接合を露出させ、マスク剤を除去後露出したpn接合をパッシベーション材料で被覆し、さらに半導体基板の少なくとも前記一面に金属電極膜を被着することを含む半導体素子の製造方法において、マスク剤を被着する前に半導体基板の前記一面上に存在する酸化膜のメサ溝形成領域を含むそれよりやや広い領域を除去したのち、露出した半導体基板面をサンドブラストで荒らすことを特徴とする半導体素子の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、少なくとも一つのpn接合を有する半導体基板表面にマスク剤を被着し、マスク剤で覆われない部分をエッチングしてメサ溝を形成してメサ溝内面にpn接合を露出させ、露出したpn接合をガラス，ポリイミドあるいは接合被覆樹脂（JCR）などのパッシベーション材料でコーティングし、さらに基板表面に金属電極膜を被着する半導体素子の製造方法に関する。

〔従来の技術〕

半導体素子を製造する際、半導体基板の一面から内面にpn接合を露出させるメサ溝をウェットエッチングにより形成し、pn接合露出面をパッシベーション材料で被覆し、さらに基板面に金属電極膜を被着するのは、信頼性の高い素子を量産するのに適した方法として知られている。このような製造方法として、従来は、例えばpn接合を形成したシリコン基板面を被覆しているSiO_2膜上に、マスク剤としてフォトレジスト，ポリイミドなどを塗布し、フォトエッチングで任意のパターンのマスクを形成したのちウェットエッチングを行い、エッチング終了後マスク剤を除去し、露出したpn接合部にガラス，ポリイミド，接合被覆樹脂などのパッシベーション材をコーティングし

ていた。また、別の方法として、ウェットエッチング前に全面サンドブラストを行い、シリコン基板表面のSiO_2膜を除去し荒れた状態にした後、マスク剤としてフォトレジスト，ポリイミドなどを用い、パターニングを施してウェットエッチングを行い、エッチング終了後、マスク剤を除去，またはそのままにしておいて、露出したｐｎ接合部にガラス，ポリイミドまたは接合被覆樹脂などをコーティングしていた。

〔発明が解決しようとする課題〕

従来の製造方法において、ウェットエッチング前にサンドブラストを全く行わなかった場合、マスク剤と半導体基板との密着性が弱く、最悪の場合、メサ溝のウェットエッチング前にマスク剤の剥離などが生じ、また、露出したｐｎ接合をコーティングする際もパッシベーション材料の密着性が悪く、問題となっていた。一方、ウェットエッチング前にサンドブラストを行った面に対しては、マスク剤の密着性は良いが蒸着膜の密着性が劣るので、電極付けの時に蒸着による安定した電極膜の形成が不可能となり、金属被膜を半導体基板上に付着させるために無電解めっきを用いなければならない。しかし、その場合めっき液がガラス，ポリイミド，ＪＣＲなどのパッシベーション材料膜に対して悪影響を及ぼし特性の不安定をもたらす問題があった。

本発明の目的は、上記の問題を解決し、メサ溝形成のウェットエッチング時のマスクの基板との密着性、パッシベーション材とｐｎ接合露出部との密着性および金属電極と基板表面の密着性の良好な半導体素子の製造方法を提供することにある。

〔課題を解決するための手段〕

上記の目的を達成するために、本発明は、少なくとも一つのｐｎ接合を有する半導体基板の一面にマスク剤を被着し、マスク剤で覆われない部分をエッチングすることによりメサ溝を形成してメサ溝内面にｐｎ接合を露出させ、マスク剤を除去後露出したｐｎ接合をパッシベーション材料で被覆し、さらに半導体基板の少なくとも前記一面に金属電極膜を被着することを含む半導体素子の製造方法において、マスク剤を被着する前に半導体基板の前記一面上に存在する酸化膜のメサ溝形成領域を含むそれよりやや広い領域を除去したのち、露出した半導体基板面をサンドブラストで荒らすものとする。

〔作用〕

半導体基板面のメサ溝形成領域よりやや広い領域をサンドブラストし、その領域に存在した酸化膜を除去し、粗面とすることによりメサ溝形成領域を除いて被着するマスク剤は、縁部が粗面上に接着するので、マスク剤の基板面に対する密着性が向上する。エッチングによりメサ溝形成後、マスク剤を除去し、露出ｐｎ接合をパッシベーション材料で被覆する際も、パッシベーション材料膜の縁部が基板の粗面上に接着するので、パッシベーション材料と基板との密着性も向上する。しかも、メサ溝の近傍以外の基板面は粗面化されていないので蒸着により安定した電極膜の形成が可能になる。

〔実施例〕

以下第１図ないし第４図を引用して本発明の一実施例について説明する。第１図(a)，(b)，(c)は、シリコン基板の表面粗面化工程を示し、(a)は平面図，(b)は断面図，(c)は(b)のＡ部拡大図である。表面に平行なｐｎ接合を形成したシリコン基板の表面を被覆するSiO_2膜２の一部分３を選択エッチングで除去した。除去した部分３は、後工程でメサ溝を形成する領域を中心としてメサ溝の幅の倍以上の幅を持った領域である。そしてこのSiO_2膜２を除去した領域３をサンドブラストによって粗面化した。第２図(a)，(b)，(c)は、メサ溝のエッチング工程を示し、第１図と同様(a)は平面図，(b)は断面図，(c)は(b)のＡ部拡大図である。この工程ではメサ溝４の形成領域以外をマスク剤としてのレジスト膜５で被覆し、ウェットエッチングを行う。レジスト膜５は縁部がシリコン基板１表面のサンドブラストされた領域３の上に被着するので、この領域で基板に密着し、基板から剥離することがない。ウェットエッチングの結果、メサ溝４が形成され、その内面にｐｎ接合が露出する。第３図

では、このｐｎ接合露出面にパッシベーション材料としての接合被覆樹脂６をコーティングする。この接合被覆樹脂６の縁部もサンドブラストされた領域３に密着するので、メサ溝４の内面から剥離することがない。第４図は電極付け工程を示し、第４図(a)では、必要によれば接合被覆樹脂６をマスクしてエッチングにより表面のSiO_2膜２を除去し、そのあとの第４図(b)でシリコン基板１の露出面に金属膜７を蒸着する。基板面は平滑で蒸着膜は密着し、安定した電極膜７が得られる。

（発明の効果）

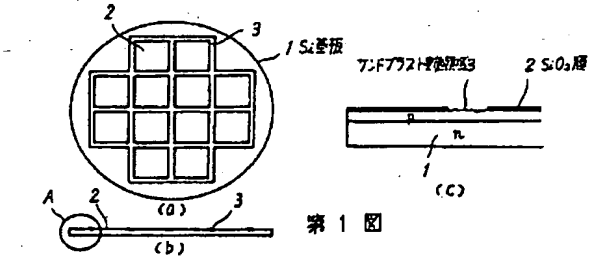
本発明によれば、メサ溝形成領域に接する半導体基板表面領域をサンドブラストで粗面化することにより、メサ溝形成領域以外に被着されるマスク剤，メサ溝内面に被覆されるパッシベーション材料が縁部でその粗面化領域に密着して剥離することがなくなり、また粗面化されない領域には安定した電極付けが行えるので、信頼性の高い半導体素子を製造することができる。

4. 図面の簡単な説明

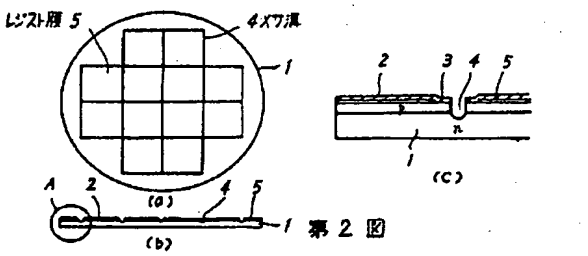
第１図(a)，(b)，(c)は本発明の一実施例の粗面化工程を示し、(a)は平面図，(b)は断面図，(c)は(b)のＡ部拡大図、第２図(a)，(b)，(c)は本発明の一実施例のメサ溝形成工程を示し、(a)は平面図，(b)は断面図，(c)は(b)のＡ部拡大図、第３図は本発明の一実施例のパッシベーション工程を示す断面図、第４図(a)，(b)は本発明の一実施例の電極付け工程を順次示す断面図である。

１：シリコン基板、２：SiO_2膜、３：サンドブラスト実施領域、４：メサ溝、５：レジスト膜、６：接合被覆樹脂、７：金属電極膜。

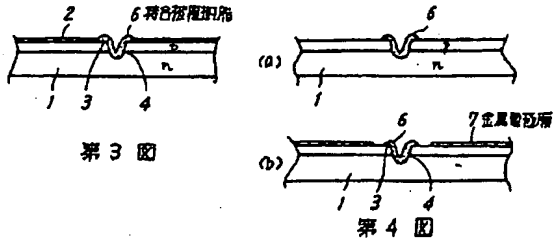
代理人弁理士　山口　巌



第１図



第２図



第３図

第４図